

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-024348

(43)Date of publication of application : 02.02.1987

(51)Int.Cl.

G06F 13/28

(21)Application number : 60-163768

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.07.1985

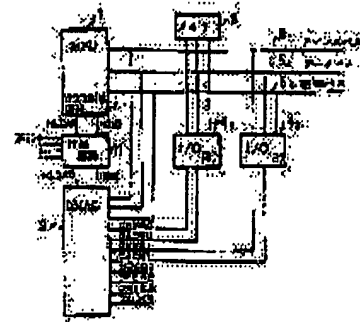
(72)Inventor : KASAHARA SHIGERU

(54) DMA PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To process a congested DMA processing request at high speed by detecting the next DMA request produced in a DMA processing mode and performing the next DMA processing after the first DMA processing together with a bus use request signal held as it is.

CONSTITUTION: An additional circuit 11 is set between a DMAC 2 and the bus arbitrating circuit 1-1 of a microprocessor MPU1. The circuit 11 does not transmit a fact that the bus request HRQ signal to be sent to the MPU1 and holds the signal HRQ as it is if the signal DREQ different from the processing requests DREQ so far executed is turned on when the bus request HRQ given from the DMAC 2 is turned off. Thus it seems that the DMA is continuous. While the bus release executing signal HLDAP is produced artificially so that it is turned off to the DMAC 2. Thus it seems as if the bus release were through. Then the request HRQ is sent to the signal HOLD when the signal HRQ sent from the DMAC 2 is turned on. Then the signal HLDAP is delivered and the DMAC 2 acquires the bus use right.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-24348

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)2月2日

G 06 F 13/28

A-7185-5B

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 DMA処理方式

⑯ 特 願 昭60-163768

⑰ 出 願 昭60(1986)7月24日

⑱ 発 明 者 佐 原 茂 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地
 ⑳ 発 代 理 人 弁理士 田坂 善重

明 細 書

1 発明の名称 DMA 処理方式

2 特許請求の範囲

(1) 情報処理装置の制御下に DMA 制御回路を有し、バスを介して複数の入出力装置からの DMA 要求を高速処理するシステムにおいて、第 1 の DMA 処理中に第 2 の DMA 要求が発生したことを検知し、前記第 1 の DMA の処理後にバス使用要求信号を保持したまま第 2 の DMA 処理を行なう手段を設けたことを特徴とする DMA 処理方式。

(2) 前記 DMA 処理手段が DMA 制御回路と情報処理装置のバス制御回路との間で授受される信号を停止および発生する付加回路であることを特徴とする特許請求の範囲第 1 項記載の DMA 処理方式。

3 発明の詳細な説明

(概 要)

本発明は情報処理装置の制御下に DMA 制御回路を有し、複数の DMA 要求を高速処理するシス

テムにおいて、DMA 処理中に発生した次の DMA 要求を検知し、最初の DMA の処理後にバス使用要求信号を保持したまま次の DMA 処理を行なうようにしたものである。

(産業上の利用分野)

本発明は情報処理装置制御下の DMA 制御回路で複数の DMA 処理要求を高速に処理する DMA 処理方式に関するものである。

(従来の技術)

従来の情報処理装置の制御下に DMA 制御回路を有する従来例を第 3 図に示す。

同図において、マイクロプロセッサ(MPU)1 の制御下 DMA 制御回路(DMA0)2 を有し、アドレスバス 5₁、データバス 5₂、制御バス 5₃ を通じてメモリと複数の I/O (4₁, (4₂, 等 [(4₃ 以下省略) が接続される。

いま、I/O (4₁, (4₂ 等からランダムに DMA の「処理要求」DRBQ0-3 が DMA02 に送られ、処理後応答 DACK0-3 が返される。

DMA02 は DRBQ0-3 が通知されると、優先順

特開昭62-24348(2)

位の判断を行ない、DMA実行中でなければ「バス要求」HRQをオンとし、MPU1に「バス解放」HOLDを伝える。MPU1はバス制御回路1-1によりバス解放を行なえるタイミングで「バス解放実行」HLDAPをオンとし、DMA02に「バス獲得」HLDADを伝え、DMA02は前述のようにI/O(A)4、例4、等へ応答DAACK0～5のいずれかを出力する。

第4図(a)～(h)は、DMAの処理要求のDREQ0とDREQ1が連続して到達した場合の処理波形図を示す。

同図に示すように、DREQ0(a)はDMA02によりHRQ(b)を発生し、MPU1にHOLD(f)を伝える。これによりHLDAP(g)を実行し、DMA02にHLDAD(h)を送りてDAACK0(h)が完了し、これがDREQ0のサイクルとなる。

ここで、DMA02からMPU1へのHRQがオフとなつた時、次のDREQ1が到達している場合、同図の、(c)、(e)に示すように関係をみて、今度はDREQ1のサイクルが前述と同じように繰返される。

う手段を設けるようにしたものである。

【作用】

上記構成により、第1のDMA処理から第2のDMA処理を行なう場合に、第1のDMAが終了時第2のDMA要求が発生している場合には、MPUに対してはバス使用要求信号をそのままにして第2のDMA処理を行なうようにして、バス解放ーバス要求ーバス獲得の時間を省くことにより、処理の高効率を図ることができる。

【実施例】

第1図は本発明の実施例の構成説明図である。同図で、第3図の従来例と異なる点は、MPU1のバス制御回路1-1とDMA02の間にDREQ0～3を入力させた付加回路11を設けたことである。この付加回路11は、DMA02からの「バス解放」HRQがオフとなつた時に、今まで実行したDREQと異なるDREQ信号がオンであると、HRQ信号がオフとなつたことをMPU1への「バス解放」HOLD信号に伝達せずそのまま抑止し、あたかもDMAが連続しているように見せる。またDMA02に対して

(発明が解決しようとする問題点)

従来のDMA処理要求に対する処理方式としては、メモリからのブーテを1バイトまたは1ワード毎に転送するシングル転送モードと、1ブロック毎に転送するブロック転送モードがあるが、両者とも異なるDMA処理要求が連続すると、実行中のDMA処理から次のDMA処理を行なう場合に前述のようにバス解放ーバス要求ーバス獲得のサイクルレースをとるため、高速処理に問題があり、とくにシングル転送モードでは転送時間より前後の処理時間の方が長くなるという欠点があつた。

本発明の目的はDMA制御回路で簡便したDMA処理要求を高速に処理する方式を提供することにある。

【問題点を解決するための手段】

前記目的を達成するため、本発明においては、第1のDMA処理中に第2のDMA要求が発生したことを検知し、前記第1のDMA処理後にバス使用要求信号を保持したまま第2のDMA処理を行な

はHLDAPがオフとなるように疑似発生させ、あたかもバス解放が完了したように見せる。このようにして、バス解放ーバス要求ーバス獲得の手段に要する時間を省くことができる。

次にDMA02からのHRQがオンとなつた時は、HRQをHOLD信号に伝達しHLDAP信号を出力し、DMA02がバス獲得を行なう。

第2図(a)～(h)は本発明の動作を示す波形図を示す。

同図(a)DREQ0→(b)HRQ→(f)HOLD→(g)HLDAP→(h)HLDAD→(d)DAACK0の手順は、DMA02とMPU1のバス制御回路1-1の間の付加回路11を通過するのみで、第4図(a)～(h)における第1の処理要求のサイクルと同様である。異なるのは処理要求DREQ0に引続いてDREQ1が発生した場合の処理である。すなわち、第1の処理要求のサイクルの同図(b)のHRQがオフとなつた(c)点において、DREQ1が検出されると、付加回路11からはHOLD(f)をオフとすることなく、オンとして保持してMPU1のバス制御回路1-1に送り、(e)に示すように、

特開昭62-24348(3)

オンのままの HLDAP が付加回路 11 に出力する。一方、付加回路 11 から DMA02 に対しては HLDAD (h) は (h) で示すように HBQ (g) に対応してオフとする。このように、DMA02 に対しては (h) に示すようにバス解放が完了したように見え、MPU1 に対しては前記 (e), (f) を示すように DMA が前から連続しているように見せる。

上記実施例では前記の機能を付加回路 11 により行なつたが、この機能を DMA02 に包含して行なわせてもよい。

〔発明の効果〕

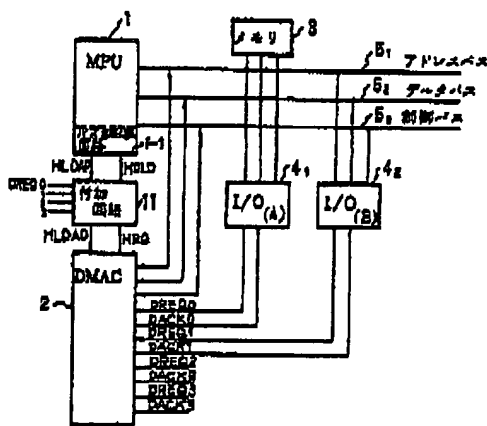
以上説明したように、本発明によれば、第 1 の DMA 処理中に第 2 の DMA 要求が発生したことを検知し、前記第 1 の DMA の処理後にバス使用要求信号を保持したまま第 2 の DMA 処理を行なう手段を設けるものである。これにより、第 3 図 (g), (h) の (e), (f) と第 4 図 (g), (h) の (e), (f) と比較して判るように、第 1 の DMA 処理で獲得したバスを解放することなく第 2 の DMA 処理を行なうから、第 2 の DMA に切替える時にバス解放ーバス

獲得に要する時間を省くことができ、処理の高速化が図れる。

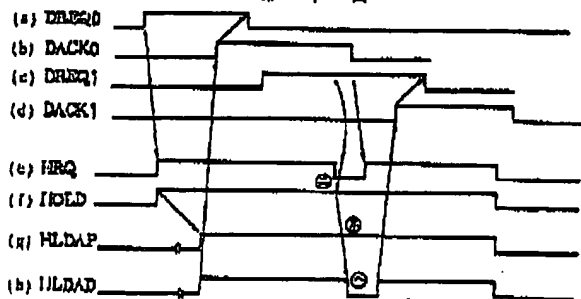
4. 図面の簡単な説明

第 1 図は本発明の実施例の構成説明図、第 2 図は本発明の動作を示す波形図、第 3 図は従来例の構成説明図、第 4 図は従来例の波形説明図であり、1 はマイクロプロセッサ (MPU)、1-1 はバス制御回路、2 は DMA コントロール、3 はメモリ、4₁, 4₂ は I/O、5₁ はアドレスバス、5₂ はデータバス、5₃ は制御バス、11 は付加回路を示す。

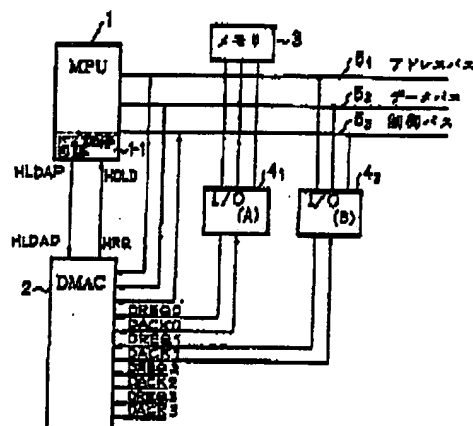
特許出願人 富士通株式会社
 代理人 弁護士 田 坂 孝 重



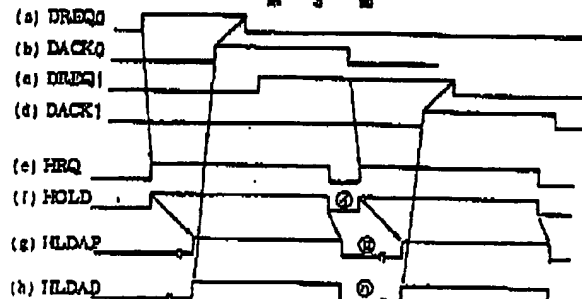
本発明の実施例の構成説明図
 第 1 図



本発明の動作を示す波形図
 第 2 図



従来例の構成説明図
 第 3 図



従来例の動作を示す波形図
 第 4 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.